

Docket No.: SON-2924
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Kou Nagata et al

Art Unit: N/A

Application No.: Not Yet Assigned

Filed: February 10, 2004

For: SEMICONDUCTOR MEMORY DEVICE,
REPAIR SEARCH METHOD, AND SELF-
REPAIR METHOD

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign applications filed in the following foreign country on the date indicated:

Country	Application No.	Date
Japan	P2003-033187	February 12, 2003

In support of this claim, a certified copy of said original foreign application is filed herewith.

Dated: February 10, 2004

Lion Building
1233 20th Street, N.W., Suite 501
Washington, D.C. 20036
Tel: (202) 955-3750
Fax: (202) 955-3751

Customer No. 23353

Respectfully submitted,

By _____

Ronald P. Kananen

Attorneys for Applicant

RADER, FISHMAN & GRAUER, PLLC

Registration No.: 24,104

(202) 955-3750

504P 0204 US00

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 2月12日
Date of Application:

出願番号 特願2003-033187
Application Number:

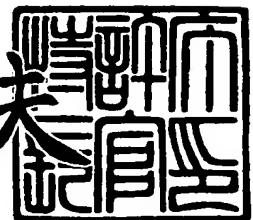
[ST. 10/C] : [JP 2003-033187]

出願人 ソニー株式会社
Applicant(s):

2004年 1月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3003513

【書類名】 特許願

【整理番号】 0290703604

【提出日】 平成15年 2月12日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00

G01R 31/28

【発明者】

【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内

【氏名】 永田 公

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社内

【氏名】 児玉 裕秋

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置、リペアサーチ方法およびセルフリペア方法

【特許請求の範囲】

【請求項1】 複数のメモリセルを行列状に配置したメモリコアと、当該メモリコアの中に発生した異常セルをリペアするための冗長セルからなる冗長線を有するブロックを単位とし、この単位ブロックがさらに1つ、あるいは複数行列状に配置されてなるメモリ部と、

前記メモリ部と同じチップ上に搭載され、前記メモリセル個々の良否を評価する内蔵セルフテスト手段と、

前記メモリ部と同じチップ上に搭載された記憶手段を有し、前記内蔵セルフテスト手段から渡される異常セルの行方向、列方向のアドレスペアのうち、リペアする冗長セルを決定するために必要最低限のアドレスペアのみを前記記憶手段に格納するリペアサーチ手段と

を備えたことを特徴とする半導体記憶装置。

【請求項2】 前記リペアサーチ手段は、前記単位ブロック毎に設けられて
いる

ことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 行方向の冗長線の本数をn1、列方向の冗長線の本数をn2
とするとき、

前記記憶手段は、前記アドレスペアを格納するバッファ量として $2 \times n1 \times n2$ 個のバッファ量を有する

ことを特徴とする請求項1記載の半導体記憶装置。

【請求項4】 前記リペアサーチ手段は、前記記憶手段に格納されているア
ドレスペアについて、行方向アドレスが同じ値を持つアドレスペアおよび列方向
アドレスが同じ値を持つアドレスペアそれぞれの個数を示すフラグを有し、当該
フラグに基づいて最終リペアアドレスとして確定すべきアドレスか否かを判断す
る

ことを特徴とする請求項1記載の半導体記憶装置。

【請求項5】 前記リペアサーチ手段は、前記記憶手段に格納されている行

方向アドレス、列方向アドレスのうち、リペアアドレスとして決定した行方向リペアアドレスおよび列方向リペアアドレスを識別するビットを有することを特徴とする請求項1記載の半導体記憶装置。

【請求項6】 複数のメモリセルを行列状に配置したメモリコアと、当該メモリコアの中に発生した異常セルをリペアするための冗長セルからなる冗長線を有するブロックを単位とし、この単位ブロックがさらに1つ、あるいは複数行列状に配置されてなるメモリ部と、

前記メモリ部と同じチップ上に搭載され、前記メモリセル個々の良否を評価する内蔵セルフテスト手段と、

前記メモリ部と同じチップ上に搭載された記憶手段を有し、前記内蔵セルフテスト手段から渡される異常セルの行方向、列方向のアドレスペアのうち、リペアする冗長セルを決定するために必要最低限のアドレスペアのみを前記記憶手段に格納するリペアサーチ手段と、

前記メモリ部と同じチップ上に搭載され、前記記憶手段に格納されたアドレスペアを基に、異常セルをリペアする冗長セルの最終リペアアドレス情報を計算する内蔵セルフリペア手段と

を備えたことを特徴とする半導体記憶装置。

【請求項7】 前記メモリ部は、異常セルをリペアする冗長セルを選択するヒューズを有し、

前記内蔵セルフリペア手段は、その計算した最終リペアアドレス情報を基に前記ヒューズを特定する

ことを特徴とする請求項6記載の半導体記憶装置。

【請求項8】 前記内蔵セルフリペア手段は、前記記憶手段に格納された異常セルのアドレスペアのすべてについて、まず列方向冗長線によりリペアされるか、行方向冗長線によりリペアされるかをあらわす任意のパターンセットを与えてリペア可能か否かを判断し、リペア可能でなければ、次のパターンセットを与えていき、リペア可能なパターンセットが見つかれば、そのときのパターンセットを基にリペアする冗長セルの最終リペアアドレス情報を作成する

ことを特徴とする請求項6記載の半導体記憶装置。

【請求項9】 前記内蔵セルフリペア手段は、1ビットのフラグを用い、そのフラグの内容によって各異常セルを行方向冗長線でリペアするか、列方向冗長線でリペアするかを表す

ことを特徴とする請求項8記載の半導体記憶装置。

【請求項10】 前記1ビットのフラグは、前記記憶手段に格納されるアドレスペア毎に用意されている

ことを特徴とする請求項9記載の半導体記憶装置。

【請求項11】 前記内蔵セルフリペア手段は、パターンセットを与えた際にリペア可能か否かを判断するにあたって、異常セルを置換する冗長線のアドレス情報を格納するアドレス格納手段を有し、当該アドレス格納手段に格納されていくアドレス情報の数を冗長線の数と比較することにより、前記パターンセットがリペア可能なパターンか否かを判別する

ことを特徴とする請求項8記載の半導体記憶装置。

【請求項12】 前記ヒューズは、前記内蔵セルフリペア手段によってリペアアドレスが特定されたときに、その旨の情報がセットされることによって対応する冗長セルを選択する電気的ヒューズである

ことを特徴とする請求項7記載の半導体記憶装置。

【請求項13】 前記電気的ヒューズはレジスタからなる

ことを特徴とする請求項12記載の半導体記憶装置。

【請求項14】 前記レジスタが複数個チェーン状に接続され、個々のレジスタには前記内蔵セルフリペア手段が計算した最終リペアアドレス情報がシフト動作によって転送される

ことを特徴とする請求項12記載の半導体記憶装置。

【請求項15】 前記電気的ヒューズは不揮発性メモリからなる

ことを特徴とする請求項12記載の半導体記憶装置。

【請求項16】 前記ヒューズは、機械的ヒューズと電気的ヒューズとからなり、両ヒューズが切り替えて用いられる

ことを特徴とする請求項12記載の半導体記憶装置。

【請求項17】 複数のメモリセルを行列状に配置したメモリコアと、当該

メモリコアの中に発生した異常セルをリペアするための冗長セルからなる冗長線を有するブロックを単位とし、この単位ブロックがさらに1つ、あるいは複数行列状に配置されてなるメモリ部と、

前記メモリ部と同じチップ上に搭載され、前記メモリセル個々の良否を評価する内蔵セルフテスト手段と、

前記メモリ部と同じチップ上に搭載された記憶手段を有し、前記内蔵セルフテスト手段から渡される異常セルの行方向、列方向のアドレスペアのうち、リペアする冗長セルを決定するために必要最低限のアドレスペアのみを前記記憶手段に格納するリペアサーチ手段とを備えた半導体記憶装置におけるリペアサーチ方法であって、

前記記憶手段に記憶されているアドレスペアを基に、異常セルをリペアする冗長セルの最終リペアアドレス情報を前記単位ブロック毎に確定することを特徴とするリペアサーチ方法。

【請求項18】 前記冗長線が行方向または列方向の複数の単位ブロックに共通に使用されている場合において、

前記複数の単位ブロックについて各単位ブロック毎に異常セルをリペアする冗長線のアドレス情報を確定し、

その確定したアドレス情報を他の単位ブロックにも与え、この与えたアドレス情報を用いて前記複数の単位ブロックについて異常セルをリペアする冗長セルの最終リペアアドレス情報を確定する

ことを特徴とする請求項17記載のリペアサーチ方法。

【請求項19】 前記複数の単位ブロックのうちの一つの単位ブロックについてリペア可能な冗長セルのアドレスパターンセットを見つけ、その見つけたアドレスパターンセットによって他の単位ブロックに制約を与えてその制約下において、当該他のブロックについてリペア可能な冗長セルのアドレスパターンセットを発生し、その結果を基にさらに他の単位ブロックに制約を課すという処理を繰り返して実行する

ことを特徴とする請求項18記載のリペアサーチ方法。

【請求項20】 複数のメモリセルを行列状に配置したメモリコアと、当該

メモリコアの中に発生した異常セルをリペアするための冗長セルからなる冗長線を有するブロックを単位とし、この単位ブロックがさらに1つ、あるいは複数行列状に配置されてなるメモリ部と、

前記メモリ部と同じチップ上に搭載され、前記メモリセル個々の良否を評価する内蔵セルフテスト手段と、

前記メモリ部と同じチップ上に搭載された記憶手段を有し、前記内蔵セルフテスト手段から渡される異常セルの行方向、列方向のアドレスペアのうち、リペアする冗長セルを決定するために必要最低限のアドレスペアのみを前記記憶手段に格納するリペアサーチ手段とを備えた半導体記憶装置におけるセルフリペア方法であって、

前記記憶手段に蓄積された異常セルのアドレスペアのすべてについて、まず、列方向冗長線によりリペアされるか、行方向冗長線によりリペアされるかを表す任意のパターンセットを与えてリペア可能か否かを判断し、リペア可能でなければ、次のパターンセットを与えていき、リペア可能なパターンセットが見つかれば、そのときのパターンセットを基にリペアする冗長セルの最終リペアアドレス情報を作成する

ことを特徴とするセルフリペア方法。

【請求項21】 異常セルをリペアする冗長セルのアドレス情報を格納し、その格納していくアドレス情報の数を冗長線の数と比較することにより、前記パターンセットがリペア可能なパターンか否かを判別する

ことを特徴とする請求項20記載のセルフリペア方法。

【請求項22】 前記冗長セルのアドレス情報を作成する処理を、前記半導体記憶装置の電源を投入した際に行う

ことを特徴とする請求項20記載のセルフリペア方法。

【請求項23】 前記冗長セルのアドレス情報を作成する処理を、定期的あるいは異常セルの発生時に行う

ことを特徴とする請求項20記載のセルフリペア方法。

【請求項24】 前記冗長線が行方向または列方向の複数の単位ブロックに共通に使用されている場合において、

前記複数の単位ブロックの個々のアドレス情報を、前記複数の単位ブロックのいずれか一つの単位ブロック内のアドレス情報に変換し、複数の単位ブロックをアドレスマップ上で重ね合わせてあたかも一つの単位ブロックのように見せて、その変換したアドレス情報を基に前記冗長セルのアドレス情報を作成する処を行う

ことを特徴とする請求項20記載のセルフリペア方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、DRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)等の半導体記憶装置、当該半導体記憶装置におけるリペアサーチ方法およびセルフリペア方法に関し、特に不良(欠陥)メモリセルをあらかじめ搭載された冗長メモリセルに置換するための冗長サーチ回路を備えた半導体記憶装置、当該半導体記憶装置におけるリペアサーチ方法およびセルフリペア方法に関する。

【0002】

【従来の技術】

DRAM等の半導体記憶装置においては、近年、集積度が非常に増大してきており、それに伴って歩留まりが製造上大きな課題になってきている。歩留まりを100%にすることは現実問題として不可能に近く、不良のメモリセル(以下、「異常ビット」と呼ぶ場合もある)が存在することを前提としているのが現状である。しかし、不良のメモリセルが存在すれば、当然製品として出荷する訳にはいかない。

【0003】

したがって、実際には、スペアのメモリセルを幾つか用意しており、不良のメモリセルがみつかれば、これをスペアのメモリセルで置換することで、不良チップの救済を図っている。具体的には、冗長セルとしてスペアのメモリセルを余分に用意しておき、不良のメモリセルがあれば、それをビット線あるいはアドレス線単位でスペアのメモリセルと置換することによって実現している。従来、メモ

リセルの良／不良の判断は、工場出荷段階において、外部のメモリテスタを用いて行われていた。

【0004】

一方、近年、LSI技術が飛躍的に向上し、それに伴い複数のメモリとロジック部を同時にLSIチップ上に混載するケースが増え、個々のメモリを独立してテストすることが事実上困難になってきている。また、LSIの実行速度が速くなるにつれ、外部のメモリテスタを用いてテスト評価することが難しい。そのため、LSI内蔵型のメモリテスト手法が不可欠となっている。また、外部のメモリテスタを用いてテスト評価することができたとしても、そのようなメモリテスタは非常に高価である。したがって、LSI製作において、テストにかかるコストが近年非常に増大しつつあることから、LSIの実行速度で高速にテストができる、しかも安価に実現できる方法が望まれているのが現状である。

【0005】

半導体記憶装置のテスト評価に関しては、先述したように、1ビット（メモリセル）ごとにメモリセルの良／不良の評価をしていくことになるが、その評価を行う部分をLSIに内蔵したものを一般にBIST(built-in self test;内蔵セルフテスト)と呼んでいる。現状は、市販のテスト回路はSRAM向けが主で、DRAM向けは、多少、市販のものがあるものの、各メーカーが、それぞれ独自のDRAMアーキテクチャ用に開発している。

【0006】

BIST回路は、メモリに異常（欠陥あるいは不良）ビットがあるか、異常ビットがあれば、どのアドレスのビット（メモリセル）に異常があるかを調べるためのものである。半導体記憶装置には、BIST回路で見つけた異常ビットを修復するためにダミーのビット線、ワード線が用意されている。このダミーのビット線、ワード線を冗長線と呼ぶ。BIST回路では、異常ビットを見つけるだけの処理が行われる。したがって、冗長線をどのように使用するかを実際に決定するのはその後の処理になる。

【0007】

冗長線は複数本、コラム（COLUMN）方向とロウ（ROW）方向に用意さ

れている。したがって、どの異常ビットをどの冗長線で補間するかを決定しなければならない。このように、いずれかの冗長線で異常ビットを補間することをリペアと呼び、また異常ビットを補間するのにどの冗長線を使用するかを決定するプロセスをリペアサーチと呼び、さらにそのサーチ結果を基にチップ上でリペアを完了することをセルフリペアと呼ぶ。

【0008】

外部のメモリテスタを用いる場合、リペアサーチの計算を外部のメモリテスタのコンピュータを使用して行っている（例えば、特許文献1参照）。また、内蔵するB I S T回路に対して、異常ビットが存在するか否かの評価機能に加えて、異常ビットを補間するのにどの冗長線を使用するかを決定するリペアサーチ（冗長解析）機能をも持たせている（例えば、特許文献2参照）。

【0009】

【特許文献1】

特開平7-146340号公報

【特許文献2】

特開2002-117697号公報

【0010】

【発明が解決しようとする課題】

しかしながら、B I S T回路を内蔵したL S Iの場合でも、特許文献1記載の従来技術のように、各々の異常ビットの情報を外部に取り出し、外部のコンピュータで計算させる構成を探ると、すべての各アドレスについてビットの正常／異常の情報を外部コンピュータのメモリ上にもたせることになるため、メモリ容量を多量に消費し、計算にも非常に時間がかかることになる。

【0011】

また、特許文献2記載の従来技術のように、内蔵するB I S T回路にリペアサーチ機能を持たせた場合であっても、リペア可能な組み合わせとして複数（この例では、6種類）の組み合わせが考えられ、それらのすべての組み合わせについてアドレスを格納する場所を用意して、6種類すべてについて同時にリペア可能性について確認する手法を探っているため、回路規模がそれだけ大きくなること

が考えられる。

【0012】

本発明は、上記課題に鑑みてなされたものであって、その第1の目的とすることとは、リペアサーチの計算を少ないメモリ容量にて高速に実行可能な半導体記憶装置および当該半導体記憶装置におけるリペアサーチ方法を提供することにある。

【0013】

本発明はさらに、リペアサーチの結果を基に、小さな回路規模にて最終的なりペアアドレスまで決定することが可能なセルフリペア方法を提供することを第2の目的とする。

【0014】

【課題を解決するための手段】

上記第1の目的を達成するために、本発明による半導体記憶装置は、複数のメモリセルを行列状に配置したメモリコアと、当該メモリコアの中に発生した異常セルをリペアするための冗長セルからなる冗長線を有するブロックを単位とし、この単位ブロックがさらに1つ、あるいは複数行列状に配置されてなるメモリ部と、前記メモリ部と同じチップ上に搭載され、前記メモリセル個々の良否を評価する内蔵セルフテスト手段と、前記メモリ部と同じチップ上に搭載された記憶手段を有し、前記内蔵セルフテスト手段から渡される異常セルの行方向、列方向のアドレスペアのうち、リペアする冗長セルを決定するために必要最低限のアドレスペアのみを前記記憶手段に格納するリペアサーチ手段とを備えたことを特徴としている。

【0015】

上記構成の半導体記憶装置において、メモリ部は、単位ブロックが1つ、あるいは複数行列状に配置されてなり、個々の単位ブロックは行列状に配置された複数のメモリセルと共に、異常セルをリペアするための冗長セルからなる冗長線を有している。内蔵セルフテスト手段は、メモリ部の個々のメモリセルの良否を評価し、異常セルのアドレスペアをリペアサーチ手段に渡す。これを受け、リペアサーチ手段は、異常セルをリペアする冗長セルを決定するために必要最低限の

アドレスペアのみを記憶手段に格納する。このように、必要最低限のアドレスペアのみを格納することで、異常セルのアドレスペアのすべてを格納する場合に比べてメモリ容量が少なくて済む。また、この格納したアドレスペアに基づいて、異常セルをリペアする冗長セルのアドレス情報を計算するための処理を高速で実行可能となる。

【0016】

上記第2の目的を達成するために、本発明による他の半導体記憶装置は、複数のメモリセルを行列状に配置したメモリコアと、当該メモリコアの中に発生した異常セルをリペアするための冗長セルからなる冗長線を有するブロックを単位とし、この単位ブロックがさらに1つ、あるいは複数行列状に配置されてなるメモリ部と、前記メモリ部と同じチップ上に搭載され、前記メモリセル個々の良否を評価する内蔵セルフテスト手段と、前記メモリ部と同じチップ上に搭載された記憶手段を有し、前記内蔵セルフテスト手段から渡される異常セルの行方向、列方向のアドレスペアのうち、リペアする冗長セルを決定するために必要最低限のアドレスペアのみを前記記憶手段に格納するリペアサーチ手段と、前記メモリ部と同じチップ上に搭載され、前記記憶手段に格納されたアドレスペアを基に、異常セルをリペアする冗長セルの最終リペアアドレス情報を計算する内蔵セルフリペア手段とを備えたことを特徴としている。

【0017】

上記構成の他の半導体記憶装置において、メモリ部は、単位ブロックが1つ、あるいは複数行列状に配置されてなり、個々の単位ブロックは行状に配置された複数のメモリセルと共に、異常セルをリペアするための冗長セルからなる冗長線を有している。内蔵セルフテスト手段は、メモリ部の個々のメモリセルの良否を評価し、異常セルのアドレスペアをリペアサーチ手段に渡す。これを受け、リペアサーチ手段は、異常セルをリペアする冗長線を決定するために必要最低限のアドレスペアのみを記憶手段に格納する。そして、内蔵セルフリペア手段は、記憶手段に格納されているアドレスペアを基に、異常セルをリペアする冗長線のアドレス情報を計算する。このように、必要最低限のアドレスペアのみを格納するようにすることで、異常セルのアドレスペアのすべてを格納する場合に比べて

、メモリ容量が少なくて済む分だけ回路規模を小さくできる。また、内蔵セルフリペア手段についてもメモリ部と同じチップ上に搭載されていることで、メモリ部の実行速度で計算処理を行うことができるため、異常セルをリペアする冗長セルのアドレス情報を計算するための処理を実動作速度で実行可能となる。

【0018】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0019】

【第1実施形態】

図1は、本発明の第1実施形態に係る半導体記憶装置の構成例を示すブロック図である。図1から明らかなように、第1実施形態に係る半導体記憶装置（LSI）は、メモリ部であるDRAM10、BIST（内蔵セルフテスト）回路20およびリペアサーチ（冗長解析）回路30を有し、これら構成要素が同一のLSIチップ上に搭載された構成となっている。

【0020】

DRAM10は、一般に、図2に示すように、複数のメモリセルが行列状に配置されてなるメモリコアと、当該メモリコアの中に発生した異常セルをリペアするための冗長セルとしてのスペアのメモリセルとを有する個々の小さい単位ブロック（以下、「冗長ブロック」と呼ぶ）11からなり、これら冗長ブロック11がさらに行列状に多数（1つの場合もある）配列された構成となっている。ここで、理想的には、個々の冗長ブロック11毎にロウ（ROW）、コラム（COLUMN）それぞれに対してA1（アルミ）等の配線による機械的ヒューズ12、13を用い、個々の冗長ブロック独立にリペアできるのが好ましい。

【0021】

しかし、実際にはヒューズ12、13のサイズが大きいため、実装上の問題から、複数の冗長ブロックに対して冗長線を共通に使用することによって冗長ブロックをグループ化し、各グループ毎にヒューズ12、13を用意した構造を採っている。具体的には、列毎に複数の冗長ブロックを貫く所謂串刺しの形でロウ冗長線14を、行毎に複数の冗長ブロックを串刺しの形でコラム冗長線15をそれ

ぞれ配線し、それぞれの冗長線14, 15に対してヒューズ12, 13を設けている。

【0022】

BIST回路20は、上記構成のDRAM10におけるメモリセル個々の良否を評価する、具体的には個々の冗長ブロック11中に異常ビット（欠陥メモリセルあるいは不良メモリセル）があるか否かを調べ、異常ビットがあれば、どのアドレスのビットに異常があるかをLSI実行速度で高速に評価する。このBIST回路20で検出された異常ビットのアドレス情報は、BIST回路20からリペアサーチ回路30へ渡される。

【0023】

リペアサーチ回路30は、BIST回路20から渡される異常ビットのアドレス情報をリアルタイムに処理し、異常セルをリペアするのに使用する冗長線（冗長セル）を決定するために必要最低限のアドレス情報のみをLSIチップ上に設けられたバッファ（メモリ）31に蓄える。異常ビットのアドレス情報はロウ、コラムのアドレスデータのペアで表される。このアドレスデータのペアをX, Yアドレスと呼ぶこととする。

【0024】

このように、個々の冗長ブロック11中に異常ビットが存在するか否かをBIST回路20にてLSI実行速度で調べ、そのアドレス情報をリペアサーチ回路30にてリアルタイムに処理してバッファ31に蓄える一連の処理工程をステージ1と呼ぶこととする。また、バッファ31に蓄えられたアドレス情報を例えば外部のコンピュータあるいはチップ上のCPUへ転送し、当該コンピュータにてバッファ31から転送されるアドレス情報を基に、使用する冗長線を冗長ブロック11相互間の関係を考慮しながら決定する一連の処理工程をステージ2と呼ぶこととする。

【0025】

すなわち、ステージ1の処理は、ハードウェアとして実装されたBIST回路20およびリペアサーチ回路30によって実行される。また、ステージ2の処理は、外部のコンピュータによってソフトウェアにて実行される。以下、ステージ

1, 2の各処理について説明する。

【0026】

(ステージ1)

今、X方向（コラム方向）、Y方向（ロウ方向）それぞれについて使用可能な冗長線の数をそれぞれ n_1, n_2 とする。ここで、異常ビットのアドレス情報をチップ上に保存するのに必要なバッファ31の容量（以下、「バッファ量」と記す）について考察する。

【0027】

1本のX方向アドレス線上に異常ビットが $n_2 + 1$ 個以上あれば、無条件にこのX方向アドレス線をX方向冗長線によって置換しなければならない。また、同様に、1本のY方向アドレス線上に異常ビットが $n_1 + 1$ 個以上あれば、無条件にこのY方向アドレス線をY方向冗長線によって置換しなければならない。よって、X方向アドレス線について必要なバッファ量は、1本（1X方向冗長線あたり）につき n_2 個あれば良い。

【0028】

ただし、1個のバッファにつき、X, Yアドレスをペアで記憶させるものとする。何故なら、さらにこのX方向アドレス線にもうひとつ異常ビットが来れば、置換する冗長線として確定してやれば良いので、 $n_2 + 1$ 個目のデータについては保存する必要はないからである。したがって、X方向冗長線（コラム冗長線）15が n_1 個あれば、X方向に関して必要なバッファ量としては $n_1 \times n_2$ 個あれば良い。同様に、Y方向について必要なバッファ量としては $n_1 \times n_2$ 個あれば良い。その結果、全部で、 $2 \times n_1 \times n_2$ 個のバッファを用意すれば良いことになる。

【0029】

一例として、図2に示す構成のDRAM10では、 n_1, n_2 が共に2、即ち冗長線14, 15が共に2本であるので、この例の場合は、リペアサーチ回路30内のバッファ31として、一つの冗長ブロック11あたり、結局、8 (= 2 × 2 × 2) 個のX, Yアドレスのペアを格納するバッファ量のものを用意してやれば良いことになる。

【0030】

図3は、リペアサーチ回路30の具体的な構成例を示すブロック図である。本構成例に係るリペアサーチ回路30は、バッファ31として、2本ずつの冗長線14, 15に対応してX, Yのアドレス用バッファ311X, 311Yを8個ずつ有するとともに、ステージ1の処理を実現可能にするために、存在ビット312、マスクビット313、Dビット314およびオーバーフロービット315を有している。マスクビット313およびDビット314については、X用（313X, 314X）、Y用（313Y, 314Y）が存在する。

【0031】

存在ビット312は、X, Yのアドレス用バッファ311X, 311Yに格納されたアドレスペアの有効（1）／無効（0）を示すビットである。オーバーフロービット315は、冗長線14, 15によって修復（リペア）が可能（1）／不能（0）を決定するビットである。

【0032】

図3において、リペアサーチ回路30にはBIST回路20から、異常ビットのDRAM10上の位置を示すX, Yアドレスと、X, Yアドレスの入力が有効であることを示す有効ビット情報とが入力される。そして、X, Yアドレスの入力が有効である場合、リペアサーチ回路30においては、次の（1）～（5）の処理が行われる。

【0033】

（1）X, Yアドレスペアが入力されると、当該アドレスペアがアドレス用バッファ311X, 311Yに既にペアとして存在するか否かを判定する。そして、存在すれば、この入力されたX, Yアドレスのペアを破棄する。

【0034】

（2）入力されたX, Yアドレスペアのうち、いずれか一方のアドレスがマスク（リペア）するアドレスとして確定（以下、「マスク確定」と記す）されたアドレスであるか否か、即ちマスクビット313X, 313Yが“1”であるか否かを判定する。そして、マスク確定されたアドレス（以下、「マスクアドレス」と記す）ならば、この入力されたX, Yアドレスペアを破棄する。

【0035】

(3) 上記(1), (2)のいずれでもなければ、入力されたX, Yアドレスペアを空いているアドレス用バッファ311X, 311Yに格納する。ただし、このとき、XまたはYのアドレスと同じ値が過去に当該バッファ311X, 311Yに存在すれば、新たにアドレスペアを格納する際に、Xに同じ値があればXDビット314Xを、Yに同じ値があればYDビット314Yを“1”にし、このアドレスが既に2個格納されていることを示す。

【0036】

ここでは、X方向、Y方向共に冗長線の数が2本であるが、3本以上であるときは、XDビットあるいはYDビットは各アドレスペア毎に1つずつではなく、複数個ある。例えば、X方向冗長線が4本のときは、XDビットは例えば各アドレスペア毎に3つ用意し、それぞれ、同じXアドレス値が2回、3回、4回来たことを示すとするか、あるいは、XDビットを3つ用意し、カウンタとして使用しても構わない。

【0037】

(4) 入力されたX, Yアドレスペアのうち、いずれかのアドレスが過去にアドレス用バッファ311X, 311Yに格納されていて、そのDビット314Xあるいは314Yが“1”になっていれば、入ってきたアドレスは3つ目ということになるので、このアドレスについてはマスクアドレスとして確定する。そして、入力されたX, Yアドレスペアを破棄し、Dビット314Xあるいは314Yが“1”になっていたアドレスのマスクビット313Xあるいは313Yを“1”にして、このアドレスがマスクアドレスであることを示す。

【0038】

(5) 入力されたX, Yアドレスペアをアドレス用バッファ311X, 311Y格納しようとした際に、当該バッファ311X, 311Yが既に一杯になっていて、格納するスペースがないときはリペア不能なため、オーバーフロービット315を“1”にしてオーバーフロー（リペア不能）であることを示し、ステージ1の処理を終了する。

【0039】

上述したステージ1の処理についてはハードウエアにて実現するため、冗長ブロック1個についての回路を1セットとし、複数セットをチップ上に置いておくようにすると、これら複数セットの回路はすべて同時に並行して動作することになるため効率が良い。

【0040】

ここで、リペアサーチ回路30において実行されるステージ1の処理につき、数値例を挙げてさらに具体的に説明する。ある一つの冗長ブロックにおいて、異常ビットのX, Yアドレスのペアが、一例として、(12, 5)、(6, 5)、(12, 8)、(5, 35)、(12, 6)、(6, 35)、(7, 5)の順にBIST回路20からリペアサーチ回路30に送られてきた場合を考える。

【0041】

先ず、X, Yアドレス(12, 5)が入力されると、最初に入力されるアドレスペアであるため、そのままX, Yのアドレス用バッファ311X, 311Yに格納される。このとき、バッファ311X, 311Yに格納されたアドレスペアが有効であるため存在ビット312が“1”になる。

【0042】

次に、X, Yアドレス(6, 5)が入力されると、当該アドレスはまだペアとしてアドレス用バッファ311X, 311Yに格納されておらず、いずれのアドレスもまだマスクアドレスとして確定されていないため、そのままバッファ311X, 311Yに格納されるとともに、存在ビット312が“1”になる。このとき、Yのアドレス用バッファ311Yに同じアドレスの5が既に格納されているためYDビット314Yが“1”になる。

【0043】

次に、X, Yアドレス(12, 8)が入力されると、当該アドレスはまだペアとしてアドレス用バッファ311X, 311Y格納されておらず、いずれのアドレスもまだマスクアドレスとして確定されていないため、そのままアドレス用バッファ311X, 311Yに格納されるとともに、存在ビット312が“1”になる。このとき、Xのアドレス用バッファ311Xに同じアドレスの12が既に格納されているためXDビット314Xが“1”になる。

【0044】

次に、X, Yアドレス（5, 35）が入力されると、当該アドレスはまだペアとしてアドレス用バッファ311X, 311Y格納されておらず、いずれのアドレスもまだマスクアドレスとして確定されていないため、そのままアドレス用バッファ311X, 311Yに格納されるとともに、存在ビット314が“1”になる。

【0045】

次に、X, Yアドレス（12, 6）が入力されると、Xアドレスの12は既に格納されていて、またXDビットが“1”になっているアドレスペアが存在している（以前に（12, 8）で入ったペア）。したがって、今回入ってきたアドレスペア（12, 6）のXアドレス12は3つ目であり、同じXアドレス（この場合、12）でYアドレスが異なるものが3つあることになる。よって、この（12, 6）のペアは破棄し、XDビットが“1”になっているアドレスペア（12, 8）のXマスクビット313Xを“1”にする。

【0046】

次に、X, Yアドレス（6, 35）が入力されると、当該アドレスはまだペアとしてアドレス用バッファ311X, 311Y格納されておらず、いずれのアドレスもまだマスクアドレスとして確定されていないため、そのままバッファ311X, 311Yに格納されるとともに、存在ビット314が“1”になる。

【0047】

最後に、X, Yアドレス（7, 5）が入力されると、Yアドレスの5については、Yマスクビット313Yを参照することで、既にマスクアドレスとして確定されていることがわかるため、当該アドレスペアについては破棄する。

【0048】

このように、ある一つの冗長ブロックにおいて、異常ビットのX, Yアドレスのペアが、例えば、（12, 5）、（6, 5）、（12, 8）、（5, 35）、（12, 6）、（6, 35）、（7, 5）の順にBIST回路20から送られてきたときのリペアサーチ回路30での処理結果、即ち当該リペアサーチ回路30内のX, Yのアドレス用バッファ311X, 311Yおよび各ビット312～3

15の内容を図4に示す。

【0049】

リペアサーチ回路30での処理結果、即ちバッファ31の格納データは、チーン等を形成することにより、シフトアウトによって外部のコンピュータに転送され、その処理がステージ2に渡される。続いて、ステージ2の処理について説明する。

【0050】

(ステージ2)

ステージ2では、ステージ1の処理結果を基に、例えば外部のコンピュータあるいは、チップ上のCPU等によって使用する最終冗長線を決定する。

【0051】

具体的には、ステージ1の処理だけでは確定しきれない処理部分をこのステージ2の処理でカバーし、最終的なマスクアドレスおよびオーバーフローを確定する。例えば、(1, 1)、(2, 2)、(3, 3)、(4, 4)、(5, 5)のようなアドレスペア(X, Y)があったとき、これはリペア不能であるが、ステージ1の処理ではオーバーフローにはならない。また、(1, 1)、(2, 1)、(3, 2)、(4, 3)、(5, 4)のようなアドレスペア(X, Y)の場合は、Yアドレスの1がマスクアドレスとして確定されるが、ステージ1の処理では確定されない。

【0052】

各冗長ブロック内において、マスク可能なX, Yアドレスの組み合わせは1通りではなく、複数の組み合わせが存在する。しかし、本例の場合は、X方向冗長線15およびY方向冗長線14が共に2本ずつしか存在ないため、最大で6通りの組み合わせしか存在しない。また、串刺しになっている他の冗長ブロックによって、冗長線が1本確定されれば3通りの組み合わせになり、2本確定されれば1通りしか組み合わせがなくなる。

【0053】

よって、ステージ1の処理で確定したマスクアドレスを、串刺しになっている他の冗長ブロックに対して情報として伝え、再度、マスクアドレス、オーバーフ

ローを確定させて、その冗長ブロックが取り得る冗長線の組み合わせの数を減少させる。ここまで処理で、各々の冗長ブロックの使用マスクアドレスができるだけ固定されれば、次は、各冗長ブロック1つずつについて、取り得るアドレスセットを次々と計算させて、全体としてつじつまの合うまで計算させる。

【0054】

一例として、冗長ブロックA, B, C, Dがあって、これらが串刺しの構造になっている場合には、ステージ2の処理では、以下の手順によってマスクアドレス（最終リペアアドレス）およびオーバーフローを確定するようとする。

【0055】

(1) 先ず、図5 (a) に示すように、各冗長ブロック毎にできるだけマスクアドレスを確定させる。

【0056】

(2) 次に、図5 (b) に示すように、その確定したマスクアドレス情報を互いの冗長ブロックに与え、さらにマスクアドレスを確定させる。

【0057】

(3) 次に、この状態において先ず、冗長ブロックAについて、取り得るマスクアドレスの組み合わせ（以下、「アドレスパターンセット」と記す）のうち一つを選ぶ。そして、図5 (c) に示すように、この冗長ブロックAで選択されたアドレスパターンセットによって冗長ブロックBに対して制約を与え、その制約のもとで、冗長ブロックBの取り得るアドレスパターンセットを計算させる。

【0058】

(4) 次に、冗長ブロックA, Bが取っているアドレスパターンセットによって冗長ブロックCに制約を与え、その制約のもとで、冗長ブロックCのアドレスパターンセットを計算させる。この際、冗長ブロックA, Bのアドレスパターンセットの影響のため、冗長ブロックCがマスク不能になれば、冗長ブロックBが取り得る次のアドレスパターンセットを計算させ、これを繰り返す。冗長ブロックBが取り得るパターンセットすべてを試行しても冗長ブロックCがマスク不能であれば、冗長ブロックAが取り得る次のパターンを計算され、以上を繰り返す。

【0059】

(5) 今度は、冗長ブロックA, B, Cのアドレスパターンセットの制約のもとに、冗長ブロックDの取り得るアドレスパターンセットを計算させる。取り得るアドレスパターンセットがなければ、冗長ブロックCの次のアドレスパターンセットを計算させる。

【0060】

以上の処理を繰り返して実行し、冗長ブロックA, B, C, Dすべてがマスクできれば、これを採用する。そして、このようにして算出したアドレスパターンセットを用い、対応するヒューズ12, 13(図2参照)を溶断することによりリペアを行う。なお、ここでは、Y方向の1次元において串刺しの構造の場合を例に挙げて説明したが、X方向の1次元あるいはX, Y方向の2次元において串刺しの構造となっている場合にも同様に適用可能である。

【0061】

上述したように、本発明の第1実施形態に係る半導体記憶装置においては、DRAM10と同じLSIチップ上に、BIST回路20およびリペアサーチ回路30を搭載した構成を採っているため、異常ビットがあるか、あれば、どのアドレスのビットに異常があるかを調べる処理および使用する冗長線を決定するため必要最低限のアドレス情報を確定してこの確定したアドレス情報のみをバッファ31に蓄える処理をLSI実行速度で行うことができる。これにより、LSI実行速度での高速動作が可能な高価なメモリテスタが不要になる。

【0062】

また、リペアサーチ回路30によるチップ上での処理により、冗長線解析に必要な異常ビットのアドレス情報をのみを残す構成を採っていることにより、今までのように、すべてのアドレスについての正常／異常の情報を取り込む必要がないため、使用するバッファ(メモリ)の容量を大幅に縮小化できる。また、このことにより、バッファ31に蓄えられたアドレス情報を基に、使用する冗長線を決定するための計算速度も高速化できる。

【0063】

また、バッファ31に蓄えられたアドレス情報を基に、使用する冗長線、即ち置換する冗長セルを決定するに当たって、可能な限りリペアアドレスを確定した

各冗長ブロックに対し、マスクされずに残った不良ビットに対して残った冗長線によってマスク可能なアドレスパターンセットを一つずつ発生させ、複数の冗長ブロックからなるグループの各冗長ブロック間で互いに制約を課しながらつじつまが合うように順次アドレスパターンセットを見つけていく、具体的には、一つの冗長ブロックについてマスク可能なアドレスパターンセットを見つけ、その見つけたアドレスパターンセットによって他の冗長ブロックに制約を与えてその制約下において、当該他の冗長ブロックについてマスク可能なアドレスパターンセットを発生し、その結果を基にさらに他の冗長ブロックに制約を課すという処理を繰り返すことにより、全体としてマスク可能なアドレスパターンの組み合わせを見つけるための処理速度を著しく高めることができる。

【0064】

なお、本実施形態では、ステージ1の処理によってバッファ31に蓄えられたアドレス情報を外部のコンピュータへ転送し、当該コンピュータによってステージ2の処理を実行するとしたが、DRAM10と同じチップ上にマイクロコンピュータを搭載し、当該マイクロコンピュータにバッファ31に蓄えられたアドレス情報を転送してステージ2の処理を実行することも可能である。

【0065】

[第2実施形態]

図6は、本発明の第2実施形態に係る半導体記憶装置の構成例を示すブロック図であり、図中、図1と同等部分には同一符号を付して示している。図6から明らかなように、本実施形態に係る半導体記憶装置(LSI)は、DRAM10、BIST回路20およびBISR(built-in self repair;内蔵セルフリペア)回路40を有し、これら構成要素が同一のLSIチップ上に搭載された構成となっている。ここで、DRAM10およびBIST回路20の構成および動作については、基本的に、第1実施形態の場合と同じである。

【0066】

BISR回路40は、BIST回路20が検出した異常ビットのアドレス情報を基に、どのように冗長線14, 15を使用して異常修復(リペア)するかをオシチップにて計算し、その計算結果を基に異常セルを冗長セルでリペアする、即

ち冗長セルでマスクするために、BIST回路20と共にDRAM10と同じLSIチップ上に設けられている。

【0067】

図7は、BISR回路40の具体的な構成の一例を示すブロック図である。本構成例に係るBISR回路40は、リペア機能を実現するために、リペアサーチ回路部41およびBISR制御部42を有する構成となっている。このBISR回路40において、リペアサーチ回路部41には、BIST回路20で検出された異常ビットを表すX、Yアドレスおよび当該X、Yアドレスが有効か否かを示す有効ビット情報が与えられる。

【0068】

このリペアサーチ回路部41は、基本的に、第1実施形態のリペアサーチ回路30と同じ処理を行う。すなわち、BIST回路20から異常ビットのX、Yアドレスのペアが渡されると、リペアサーチ回路部41は、受け取ったアドレスペアをリアルタイムに処理し、使用する冗長線を決定するために必要最低限のアドレスペアのみを内蔵のバッファ（メモリ）411に蓄える。

【0069】

ここで、BIST回路20から異常ビットのアドレス情報を出力させるためには、いろいろなテストパターンを流すことになるが、それらすべてを行い、異常ビットのアドレス情報をすべてリペアサーチ回路部41内のバッファ411に蓄える処理が、第1実施形態で説明したステージ1の処理に相当する。このステージ1の処理が終了すると、BISR回路40に対してBISR計算スタートの指示BISR STARTが外部から与えられる。

【0070】

BISR制御部42は、マスクアドレス格納部421およびパターン生成部422から構成されている。パターン生成部422には、XYビットと呼ばれるフラグが各異常ビットのX、Yアドレスペアごとに用意されている。リペアされた際に、これらの異常ビットは、必ず、X方向あるいはY方向の冗長線によってリペア（マスク）されるはずである。このとき、パターン生成部422のXYビットフラグは、X方向の冗長線でマスクされるか、Y方向の冗長線でリペアされる

かを表す。例えば、XYビットフラグ“1”的ときはX方向の冗長線、即ちコラム冗長線15でリペアされ、“0”的ときはY方向の冗長線、即ちロウ冗長線14でリペアされることを表すことになる。

【0071】

本例の場合のように、アドレスペアが8個あるときは、このXYビットフラグもやはり8個あり、取り得る組み合わせは256通りになる。そして、この256通りのうちのいくつかの組み合わせ（一通りではない）のときにリペアが行われる。BISR制御部42は、この256通りの組みあわせ（0, 1の組み合わせ）を順次作成していく。そして、それぞれの組み合わせのとき、リペアが成功するか否かを順次確認していく。

【0072】

上述したように、本発明の第2実施形態に係る半導体記憶装置においては、DRAM10と同じLSIチップ上に、BIST回路20およびBISR回路40を搭載した構成を探っているため、異常ビットがあるか、あれば、どのアドレスのビットに異常があるかを調べる処理と、使用する冗長線を決定するために必要最低限のアドレスペアのみをバッファ411に蓄える処理と、マスクアドレスを決定する処理とをLSI実行速度で行うことができる。

【0073】

次に、上記構成のBISR回路30において実行される処理について、具体例を挙げて説明する。

【0074】

（具体例）

本具体例では、冗長ブロック11の個々（0次元）について、BISR計算を行う場合を対象としており、ある一つの冗長ブロック11に関して、BIST回路20から送られてきた異常ビットのX, Yアドレスのペアが、図4に示すように、バッファ41に格納されている場合について説明する。

【0075】

（1）先ず、パターン生成部422により、XYビットパターンを生成する。ここでは、生成したXYビットパターンが、図8に示すように、A行からH行の順

番に10100000であったとする。

【0076】

(2) A行から順番に選択されたX, Yマスクアドレスをマスクアドレス格納部421へ転送する。この場合、A行のXYビットが“1”であるので、これは、Yアドレスの5がマスクアドレスであることを示す。よって、Yアドレスの5をマスクアドレス格納部421へ格納する。その際、マスクアドレス格納部421のYアドレス用の存在ビットを“1”にし、このマスクアドレスが有効であることを示す（以下、同様）。

【0077】

(3) B行は、XYビットが“0”である。この場合は、Xアドレスの6がマスクアドレスであることを示している。よって、Xアドレスの6をマスクアドレス格納部421に格納するが、同時に、Yアドレスのマスクビットが“1”になっているので、Yアドレスの5もマスクアドレス格納部421へ格納することになるが、Yアドレスの5はすでに格納されているので何もしない。

【0078】

(4) C行は、XYビットが“1”である。よって、この場合は、Yアドレスの8をマスクアドレス421に格納するが、同時に、Xのマスクビットが“1”的ため、Xアドレスの12も同時にマスクアドレス格納部421に格納する。この時点で、マスクアドレス格納部421のXマスクアドレス部には12, 6が、Yマスクアドレス部には5, 8がそれぞれ格納されている。

【0079】

(5) D行は、XYビットが“0”である。よって、Xアドレスの5をマスクアドレス格納部421に格納するが、Xマスクアドレス部は既に2つのマスクアドレスを格納しており、3つめのアドレスを格納できない（オーバーフロー）。よって、この段階で、このXYビットパターンでは、マスク（リペア）不可能ということが判明する。

【0080】

(6) このXYビットパターンでは、リペア不可能ということが判明したので、新しいXYビットパターンをパターン生成部422により生成する。この新しく

生成したパターンは、図9に示すように、A行からH行の順番に00011000であったとする。

【0081】

(7) 再度、A行から順番にマスクアドレスをマスクアドレス格納部421へ転送する。この場合、A行のXYビットが“0”であるので、Xアドレスの12をマスクアドレス格納部421へ転送する。

【0082】

(8) B行はXYアドレスが“0”である。よって、Xアドレスの6をマスクアドレス格納部421へ転送する。この際、Yアドレスのマスクビットが“1”なので、Yアドレスの5も同時にマスクアドレス格納部421へ転送する。

【0083】

(9) C行はXYビットが“0”なので、また、Xのマスクビットが“1”なので、Xアドレスの12をマスクアドレス格納部321へ転送する。しかし、Xアドレスの12はすでにアドレス格納部421に存在するので何もしない。

【0084】

(10) D行はXYビットが“1”である。よって、Yアドレスの35をマスクアドレス格納部421へ転送する。この時点で、マスクアドレス格納部421のXマスクアドレスには12, 6が、Yマスクアドレスには5, 35がそれぞれ格納される。

【0085】

(11) E行はXYビットが“1”である。よって、Yアドレスの35をマスクアドレス格納部421へ転送する。しかし、Yアドレス35は既にマスクアドレス格納部421に格納されているので何もしない。

【0086】

(12) F行はXYビットが“0”である。しかし、F行の存在ビットは“0”であり、この行のX, Yアドレスのペアは意味を持たないので、この行に関しては何もしない。

【0087】

(13) G, H行に関しても、存在ビットが“0”なので、これらの行について

は何も処理しない。

【0088】

(14) この時点で、すべての行に関する処理が終了する。また、マスクアドレス格納部421のXマスクアドレスには12, 6、Yマスクアドレスには5、35が格納されており、オーバーフローは生じなかったことになる。これは、このX, Yアドレスの組み合わせで、リペアが可能なことを示している。よって、この組み合わせがひとつの解であり、解が得られたことになる。

【0089】

(15) リペアが不可能な場合は、次のXYビットパターンを試していくことになる。そして、256パターンすべて試してもリペアが不可能な場合は、最終的にリペアが不可能と判断する。

【0090】

(16) リペアが可能な結果が出れば、以降は、このX, Yマスクアドレスを用いて、リペアを行うことになる。

【0091】

ここで、パターン生成部422としては、0から順番にインクリメントしていく通常の加算器を用いたインクリメンタル方式のものでも構わないし、図10に示すように、X, Yのアドレス用バッファの数、本例では8個のレジスタ41-1～41-8を直列に接続し、3, 5, 7, 8段目のレジスタ41-3, 41-5, 41-7, 41-8の各出力の論理和をORゲート42でとて初段のレジスタ41-1に戻す構成のリニアフィードバックシフトレジスタ(Linear Feedback Shift Register)を用いることも可能である。このリニアフィードバックシフトレジスタを用いることにより、加算器を用いる場合よりも回路面積を軽減できる利点がある。

【0092】

[第3実施形態]

第3実施形態に係る半導体記憶装置では、図2で述べたように、複数の冗長ブロックに対して冗長線が串刺しの形で配線されている場合を対象としている。一例として、図11(a)に示すように、例えば4個の冗長ブロックA～Dがロウ

冗長線14によって串刺しになっている場合を想定すると、この場合、各冗長ブロックA～CをYアドレスに関して一つにまとめ、見かけ上、図11（b）に示すように、1つの冗長ブロックとみなすようにする。

【0093】

実際には、例えば図11（a）に示すように、冗長ブロックAのYアドレスが0から127、冗長ブロックBのYアドレスが128から255、冗長ブロックCのYアドレスが256から383、冗長ブロックDのYアドレスが384から511に対応しているとすると、BISR回路40に異常（欠陥）ビットのアドレスを入力する際、Yアドレスに関して128で割った余りをアドレスとしてアドレス変換し、図11（b）に示すように、すべての冗長ブロックA～Dの異常ビットをYアドレスが0から127までのアドレスとしてBISR回路40に入力するようすれば良い。

【0094】

上述したように、すべての冗長ブロックA～Dの異常ビットをYアドレスが0から127までのアドレスとしてアドレス変換を行ってBISR回路40に入力することにより、複数の冗長ブロックに対して冗長線が串刺しの形で配線した構造のDRAMの場合にも、第2実施形態の具体例の場合と同様にして異常ビットのリペアを行うことができる。

【0095】

すなわち、冗長線が行方向または列方向の複数の単位ブロックに共通に使用されている場合において、複数の単位ブロックの個々のアドレス情報を、複数の単位ブロックのいずれか一つの単位ブロック内のアドレス情報に変換し、複数の単位ブロックをアドレスマップ上で重ね合わせてあたかも一つの単位ブロックのように見せて、その変換したアドレス情報を基に冗長セルのアドレス情報を作成することで、異常ビットのリペアを行うことができる。

【0096】

なお、本実施形態では、Y方向の1次元において串刺しの構造の場合を例に挙げて説明したが、X方向の1次元あるいはX、Y方向の2次元において串刺しの構造となっている場合にも同様に適用可能である。また、この方法は、先に述べ

たステージ1とステージ2に分けてリペアを行う場合にも適用可能である。

【0097】

以上のようにして、B I S R回路40によってオンチップにて個々の冗長ブロック11についてリペアサーチを行い、このリペアサーチによって決定された最終マスクアドレスを用いて、当該最終マスクアドレスに対応する機械的ヒューズ12, 13、例えばA1ヒューズを溶断することにより、リペアを行うことができる。

【0098】

ところで、リペアを行う際に、上述したように、A1ヒューズに代表される機械的ヒューズ12, 13を用いると、機械的ヒューズは配置面積が大きいため、細かいリペアを行うことができない。そのため、冗長線14, 15を串刺しに配線して、ヒューズ12, 13の数を減らしているのが現状である。そこで、以下に説明する変形例では、ヒューズ回路として、機械的ヒューズに代えて電気的ヒューズを用いることで、より細かなりペアを実現可能としている。

【0099】

(変形例)

本変形例においては、電気的ヒューズとしてレジスタ回路を用いている。すなわち、B I S R回路40でB I S R計算を行った後、その計算結果をレジスタ回路にセーブし、そのレジスタ回路の値を使用することによってリペアを行うようしている。このように、ヒューズ回路としてレジスタ回路等の電気的ヒューズを用い、例えば商品起動時に毎回、B I S T回路20およびB I S R回路40を動作させて異常ビットのリペアを行うようにすることで、次のような作用効果を得ることができる。

【0100】

すなわち、電気的ヒューズは機械的ヒューズに比べてサイズが小さく、配置スペースが小さくて済むため、機械的ヒューズを用いる場合のような串刺しの構造を採らずに、個々の冗長ブロック11に対して配置することができる。したがって、今までの機械的ヒューズを用いたグループ単位のリペアに比べて、もっと小さい冗長ブロック単位でのより細かなりペアが可能になるため、メモリの故障復

旧効果を著しく向上できる。

【0101】

このレジスタ回路を用いたヒューズをレジスタヒューズと呼ぶこととする。なお、電気的ヒューズとしては、レジスタヒューズに限られるものではなく、場合によっては、フラッシュメモリ等の不揮発性メモリやS R A Mを使用することも可能である。電気的ヒューズとして、不揮発性メモリやS R A Mを使用し、これらにB I S Rの計算結果をセーブすることで、この状態を電源遮断時も消えぬようになることが可能になる。

【0102】

電気的ヒューズを用いてリペアを実行するためのヒューズ回路の具体的な回路例を図12 (a), (b) に示す。これら回路例に係るヒューズ回路50A, 50Bは、A1ヒューズ51とレジスタヒューズ52を兼用し、モード信号M O D E 1, 2に応じて動作するセレクタ53, 54およびリセット信号R S Tで動作するセレクタ55を共に有する構成となっている。ここで、モード信号M O D E 1は、A1ヒューズ51を使用するかレジスタヒューズ52を使用するかの切り替え信号、モード信号M O D E 2はレジスタヒューズ52にB I S Rの計算結果をシフト入力される切り替え信号、リセット信号R S Tはレジスタヒューズ52をリセットするための信号である。

【0103】

図12 (a) に示すように、第1回路例に係るヒューズ回路50Aにおいて、セレクタ53は、一方の入力端が回路入力端子I Nに、他方の入力端がA1ヒューズ51の電源側の端子にそれぞれ接続されている。セレクタ55は、一方の入力端がセレクタ52の出力端に、他方の入力端がレジスタヒューズ52の出力端にそれぞれ接続されている。セレクタ54は、一方の入力端がセレクタ55の出力端に接続され、他方の入力端が接地されている。レジスタヒューズ52は、入力端がセレクタ54の出力端に接続され、出力端が回路出力端子O U Tに接続されている。

【0104】

図12 (b) に示すように、第2回路例に係るヒューズ回路50Bにおいて、

セレクタ54は、一方の入力端が回路入力端子INに、他方の入力端がレジスタヒューズ52の出力端にそれぞれ接続されている。セレクタ55は、一方の入力端がセレクタ54の出力端に接続され、他方の入力端が接地されている。レジスタヒューズ52は、入力端がセレクタ55の出力端に、出力端がセレクタ53の一方の入力端にそれぞれ接続されている。セレクタ53は、他方の入力端がA1ヒューズ51の電源側の端子に接続され、出力端が回路出力端子OUTに接続されている。

【0105】

上記構成の第1、第2回路例に係るヒューズ回路50A、50Bは、具体的な回路構成の一例に過ぎないが、これらの何れかを用いて、図7のマスクアドレス格納部421に格納されたアドレスを、ヒューズレジスタ52に転送すればリペアは完了する。

【0106】

この図12(a)、(b)に示すヒューズ回路50A、50Bを、図13に示すように、各々の回路入力端子INと回路出力端子OUTとを数珠つなぎにしてチェーン状に接続配置すれば、シフトチェーンを使用してマスクアドレス格納部421に格納されたアドレスをシフトさせることで、各ヒューズ回路50A、50Bにマスクアドレスを格納することができる。

【0107】

(他の変形例)

本変形例では、A1ヒューズ51とレジスタヒューズ52の両方を使用するようにしており、その具体的な構成を図14に示す。本変形例においては、A1ヒューズ51は個々の冗長ブロック11に串刺し状に貫かれた冗長線に対してマスクされるようになっており、レジスタヒューズ52は個々の冗長ブロック11に対してマスクされるようになっている。

【0108】

具体的には、列毎に個々の冗長ブロック11に対して串刺し状にロウ冗長線14を配線し、行毎に個々の冗長ブロック11に対して串刺し状にコラム冗長線15を配線し、それぞれの冗長線14、15に対してA1ヒューズ51R、51C

を設けるとともに、レジスタヒューズ52については個々の冗長ブロック11に対して設け、A1ヒューズ51R, 51Cとレジスタヒューズ52をセレクタ56で切り替える構成となっている。

【0109】

このように、A1ヒューズ51R, 51Cとレジスタヒューズ52を併用した構成を採ることにより、A1ヒューズ51R, 51Cを使用した恒常的なりペアと、レジスタヒューズ52を使用した細かいリペアが両方とも可能になる。具体的には、工場出荷時において、A1ヒューズ51R, 51Cを使用することによって全体を考慮したリペアを行えるだけでなく、工場出荷後においても、ユーザーが使用する起動時、定期的、あるいは異常が発生した際に、リペアが可能になる。その結果、メモリの故障率を著しく改善できる。

【0110】

また、レジスタヒューズはA1ヒューズに比べてサイズが小さく、配置スペースが小さくて済むため、A1ヒューズを用いる場合のような串刺しの構造を採らずに、個々の冗長ブロック11に対して配置できる。したがって、今までのA1ヒューズを用いたリペアに比べて、もっと小さい冗長ブロック単位でのリペアが可能なため、メモリの故障復旧効果を著しく向上できる。

【0111】

【発明の効果】

以上説明したように、本発明によれば、個々のメモリセルの良否を評価して得たアドレスペアのうち、異常セルをリペアする冗長セルを決定するために必要最低限のアドレスペアのみを記憶手段に格納することにより、異常セルのアドレスペアのすべてを格納する場合に比べて、メモリ容量が少なくて済むとともに、異常セルをリペアする冗長セルのアドレス情報を計算するための処理を高速で実行可能となる。

【0112】

また、個々のメモリセルの良否を評価して得たアドレスペアのうち、異常セルをリペアする冗長セルを決定するために必要最低限のアドレスペアのみを記憶手段に格納するようにしたことで、異常セルのアドレスペアのすべてを格納する場

合に比べて、メモリ容量が少なくて済む分だけ回路規模を小さくでき、また記憶手段に格納されたアドレスペアを基に、異常セルをリペアする冗長セルのアドレス情報を計算する内蔵セルフリペア手段をメモリ部と同じチップ上に搭載したことで、メモリ部の実行速度で計算処理を行うことができるため、その計算処理を高速で実行可能となる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態に係る半導体記憶装置の構成を示すブロック図である。

【図 2】

D R A M の構成の一例を示すブロック図である。

【図 3】

リペアサーチ回路の具体的な構成例を示すブロック図である。

【図 4】

リペアサーチ回路での処理結果を示す図である。

【図 5】

ステージ 2 の処理の手順を示す概念図である。

【図 6】

本発明の第 2 実施形態に係る半導体記憶装置の構成を示すブロック図である。

【図 7】

B I S R 回路の具体的な構成の一例を示すブロック図である。

【図 8】

B I S R 回路の具体例に係る処理の説明に供する図（その 1）である。

【図 9】

B I S R 回路の具体例に係る処理の説明に供する図（その 2）である。

【図 10】

リニアフィードバックシフトレジスタの構成の一例を示すブロック図である。

【図 11】

本発明の第 3 実施形態に係る半導体記憶装置の説明に供する図である。

【図 12】

変形例に係るヒューズ回路の具体例を示すブロック図である。

【図13】

ヒューズ回路をチェーン状に接続した場合の構成を示すブロック図である。

【図14】

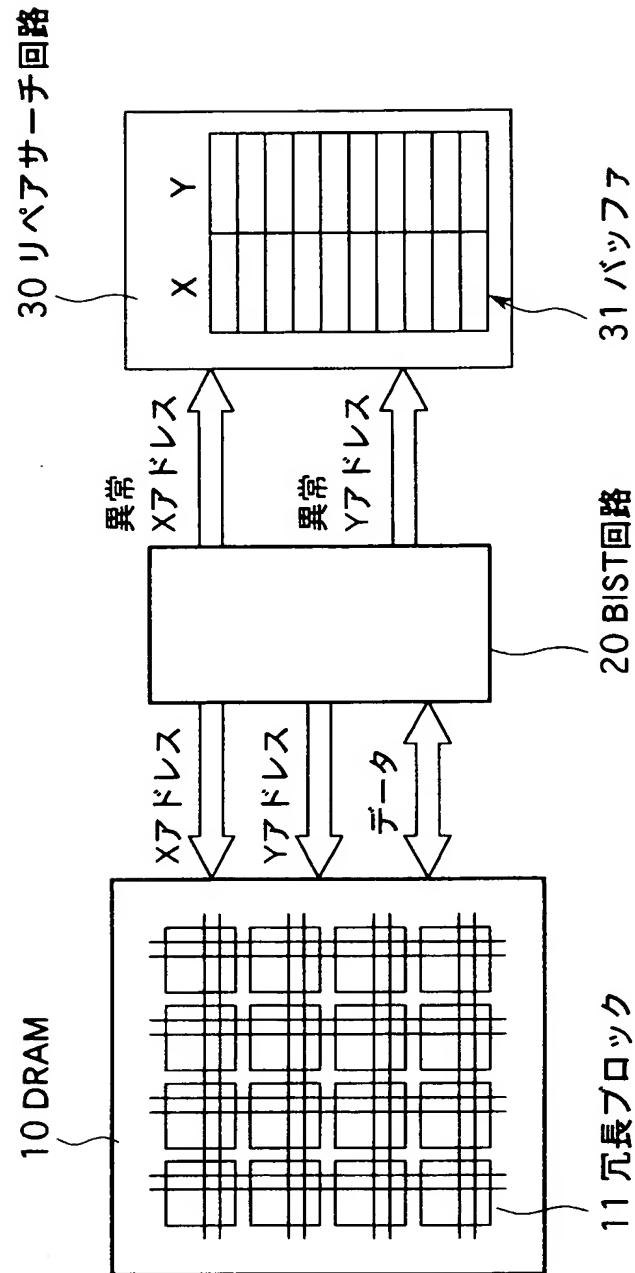
他の変形例の場合の構成を示すブロック図である。

【符号の説明】

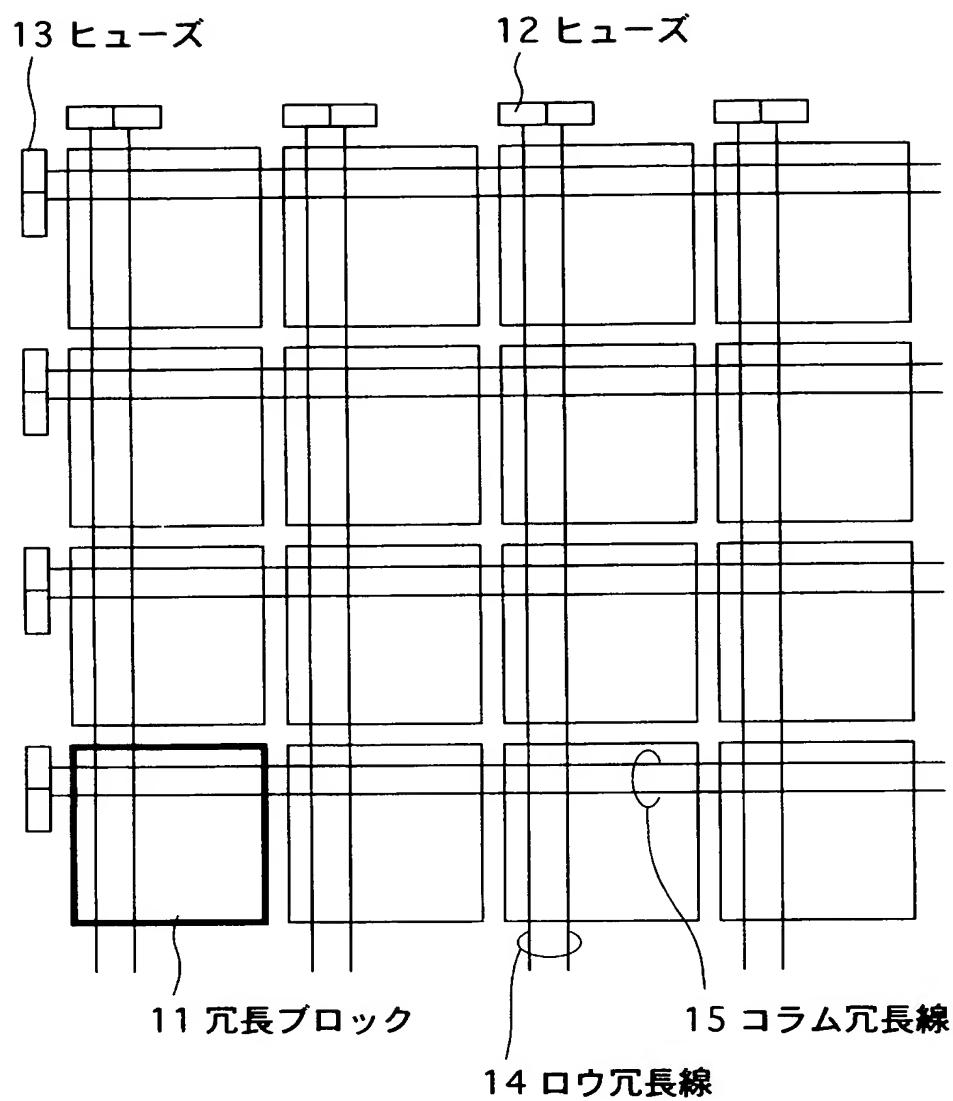
10…DRAM、11…冗長ブロック、12, 13, 51…A1ヒューズ、14…ロウ冗長線、15…コラム冗長線、20…BIST回路、30…リペアサーチ回路、31…バッファ、40…BISR回路、41…リペアサーチ回路部、42…BISR制御部、50A, 50B…ヒューズ回路、52…レジスタヒューズ

【書類名】 図面

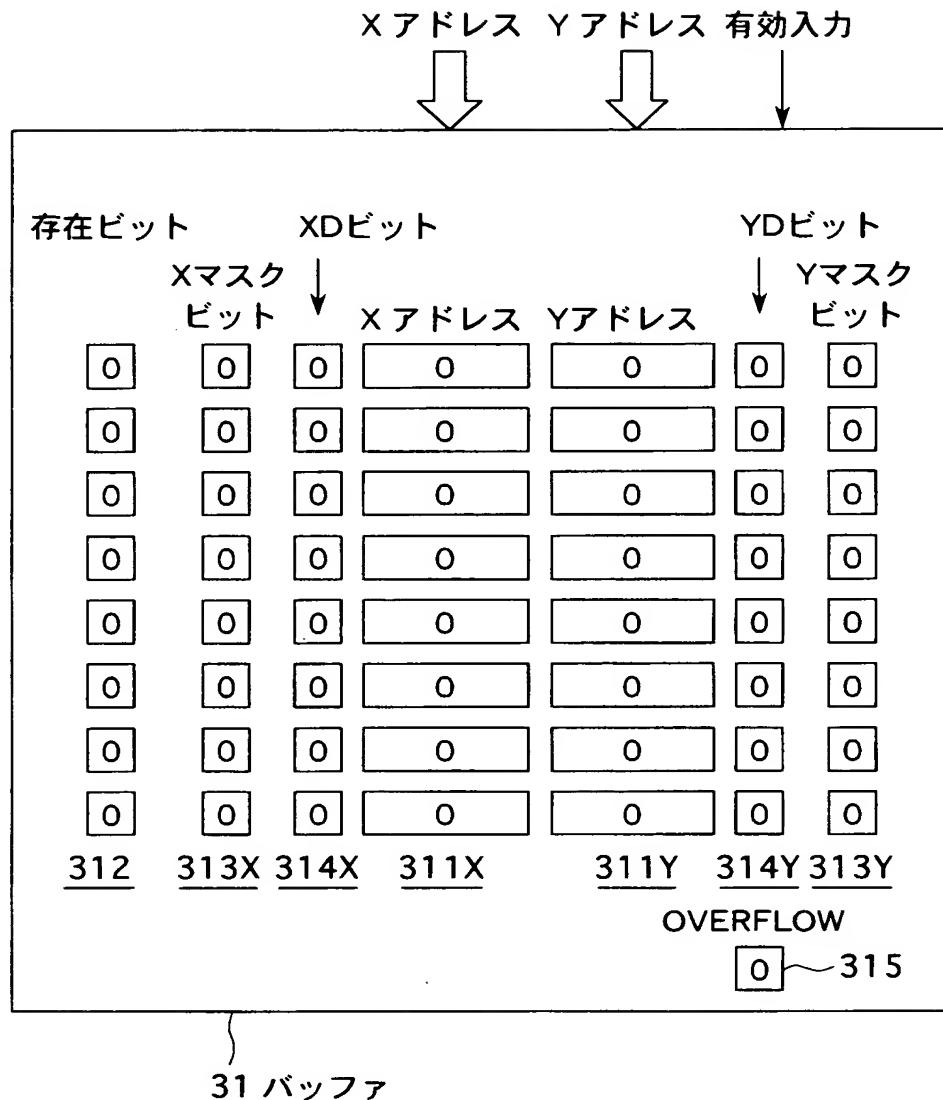
【図 1】



【図2】



【図3】



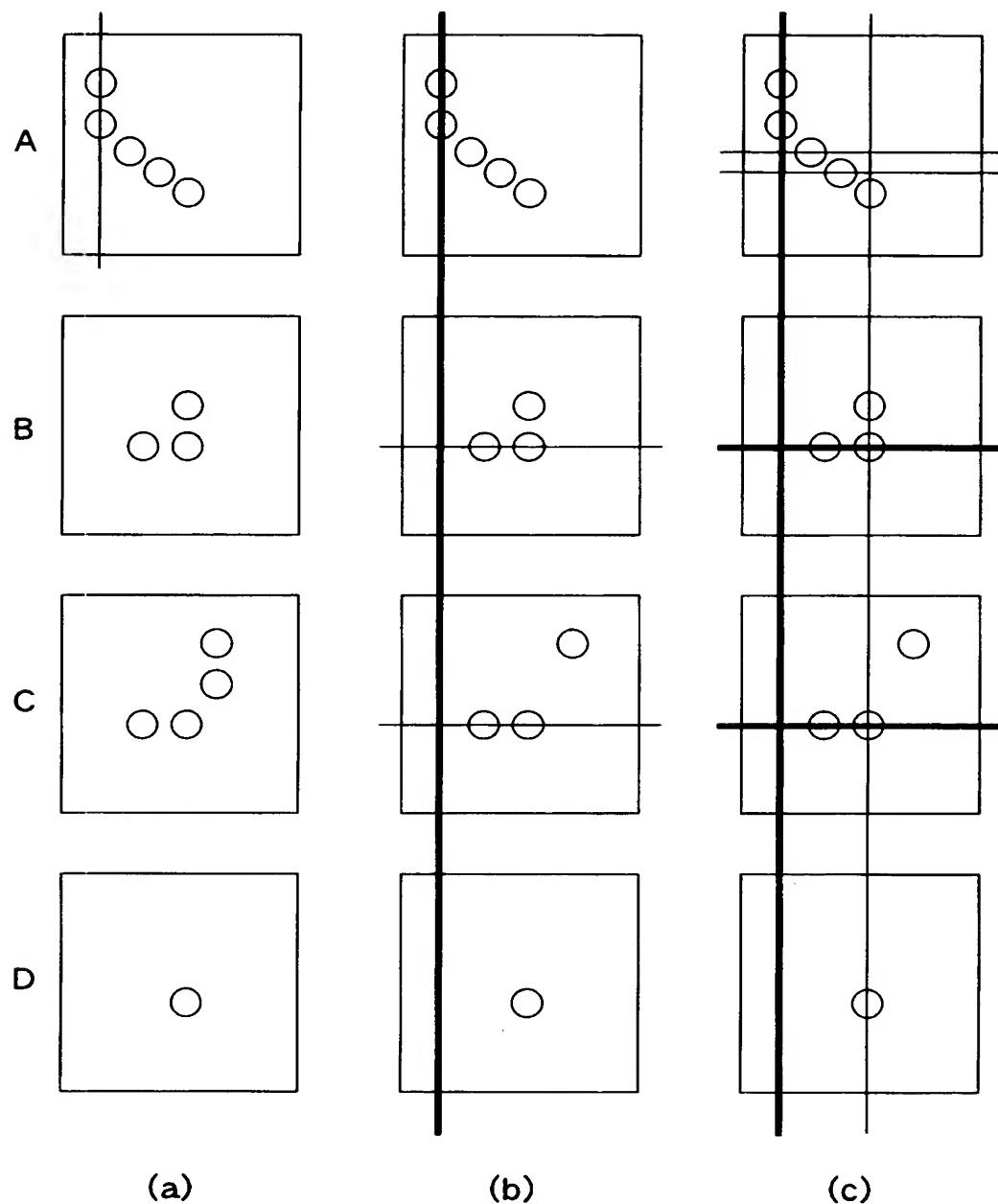
【図4】

存在ビット	XDビット			YDビット		
	Xマスク ビット	↓	Xアドレス	Yアドレス	Yマスク ビット	↓
1	0	0	12	5	0	0
1	0	0	6	5	1	1
1	1	1	12	8	0	0
1	0	0	5	35	0	0
1	0	1	6	35	1	0

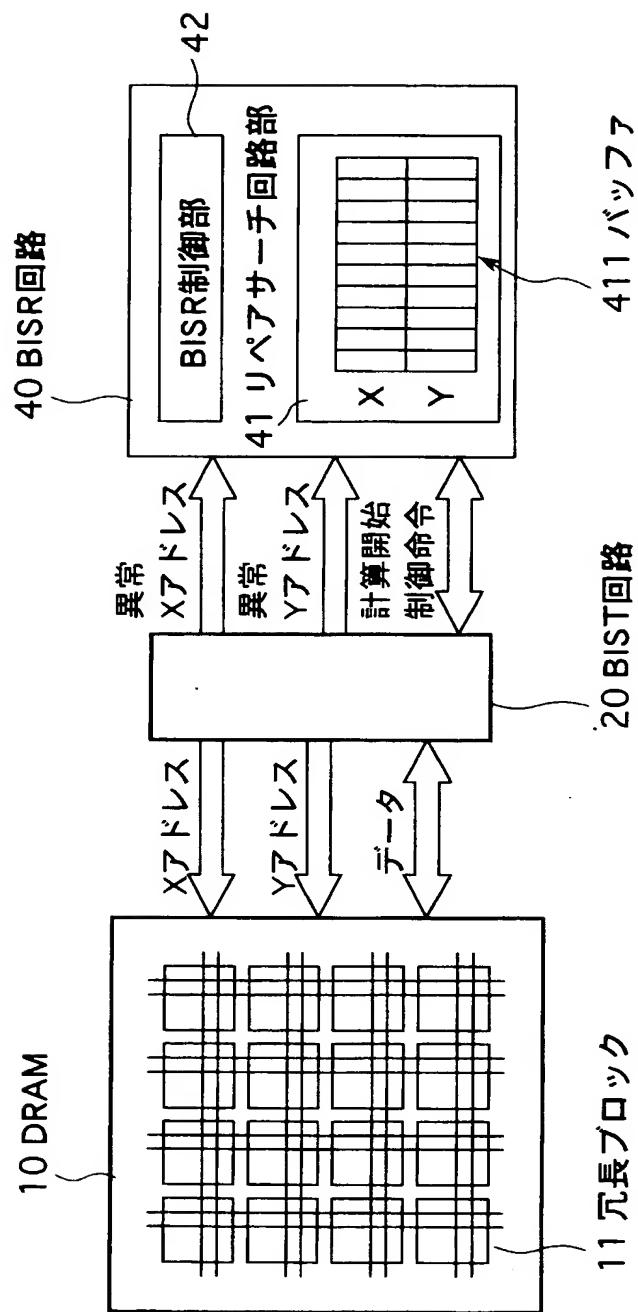
OVERFLOW

0

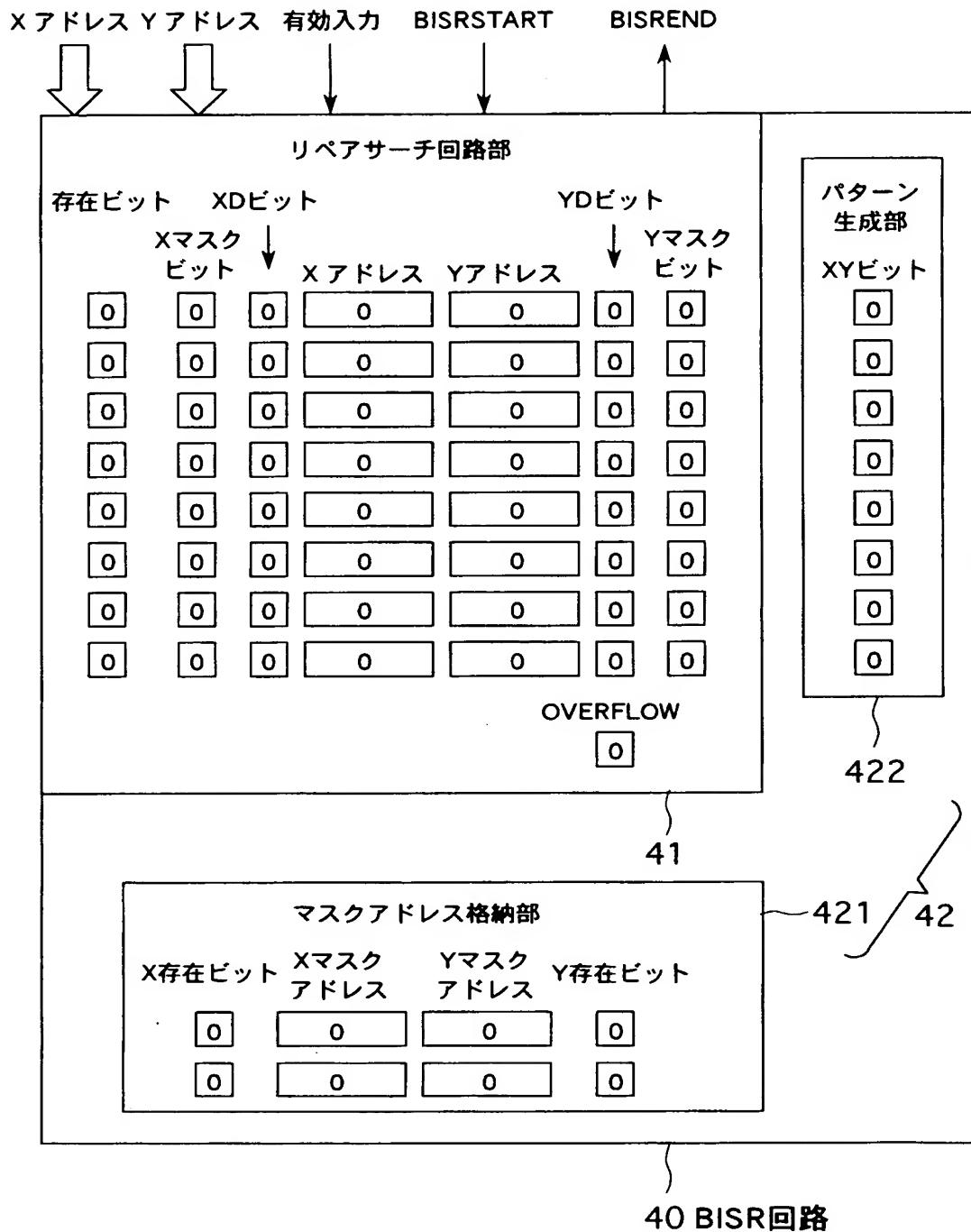
【図5】



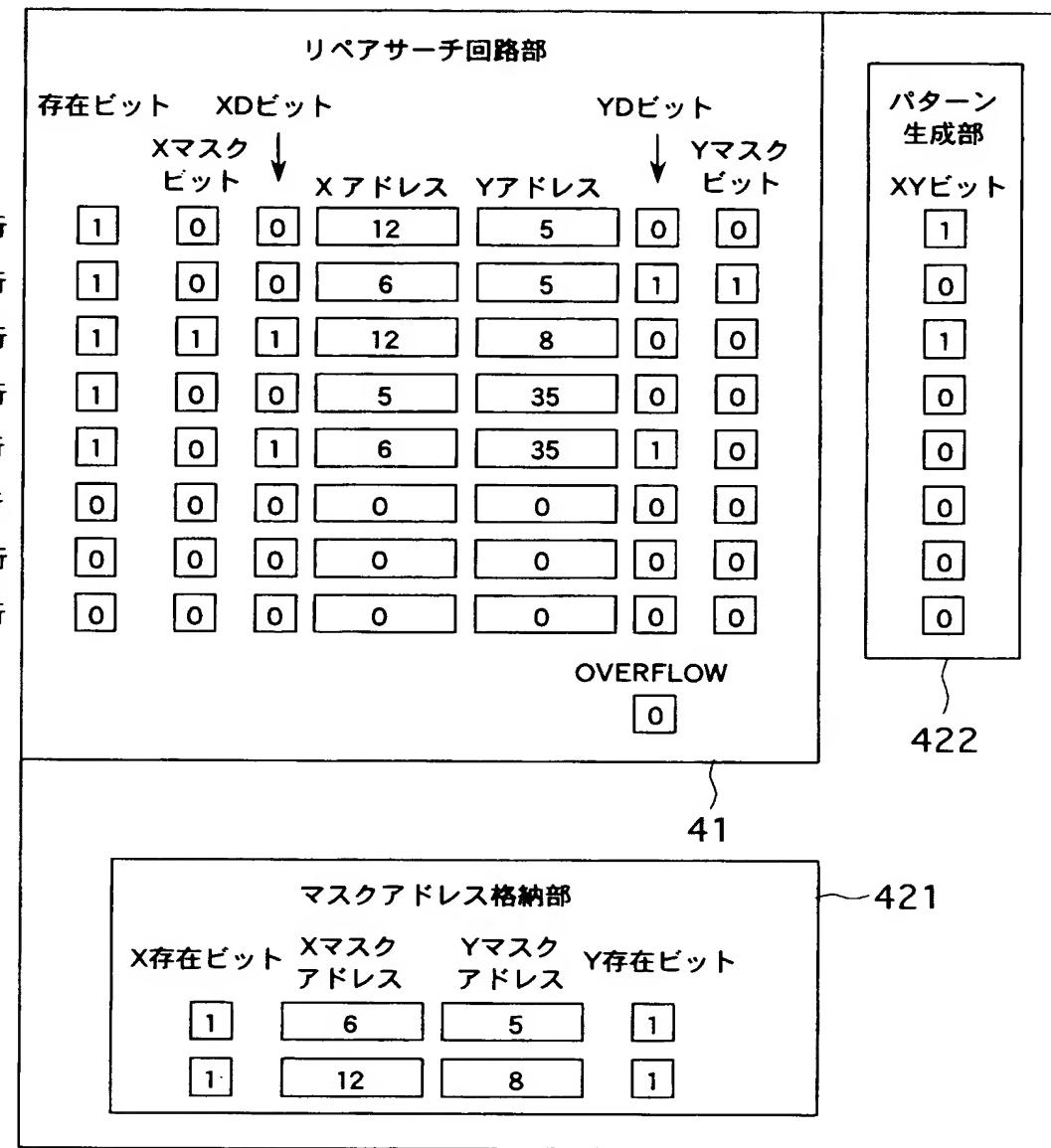
【図6】



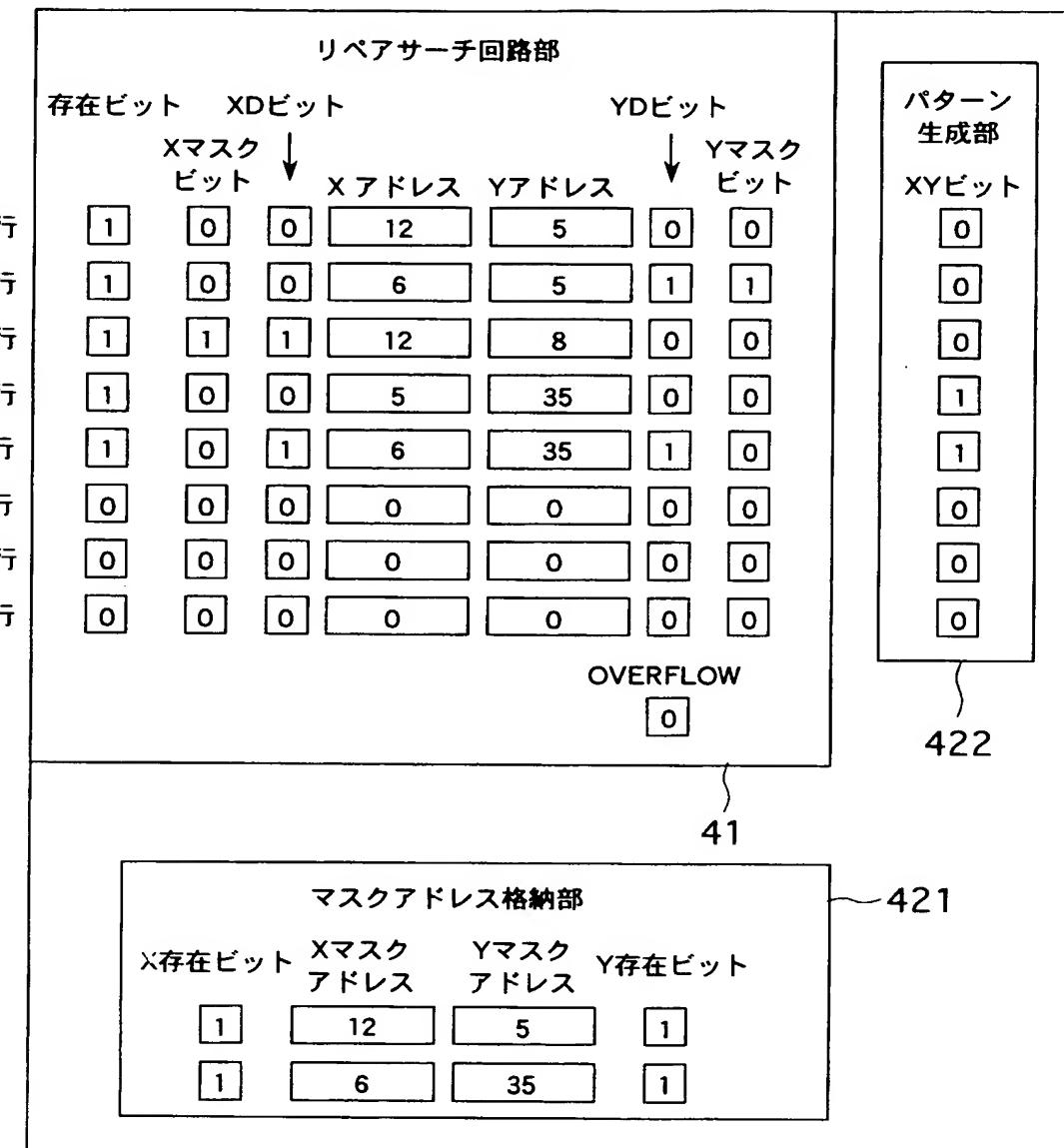
【図7】



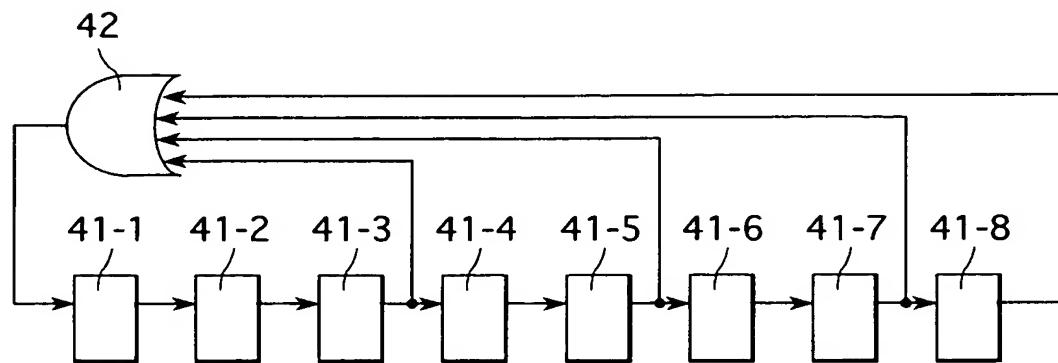
【図8】



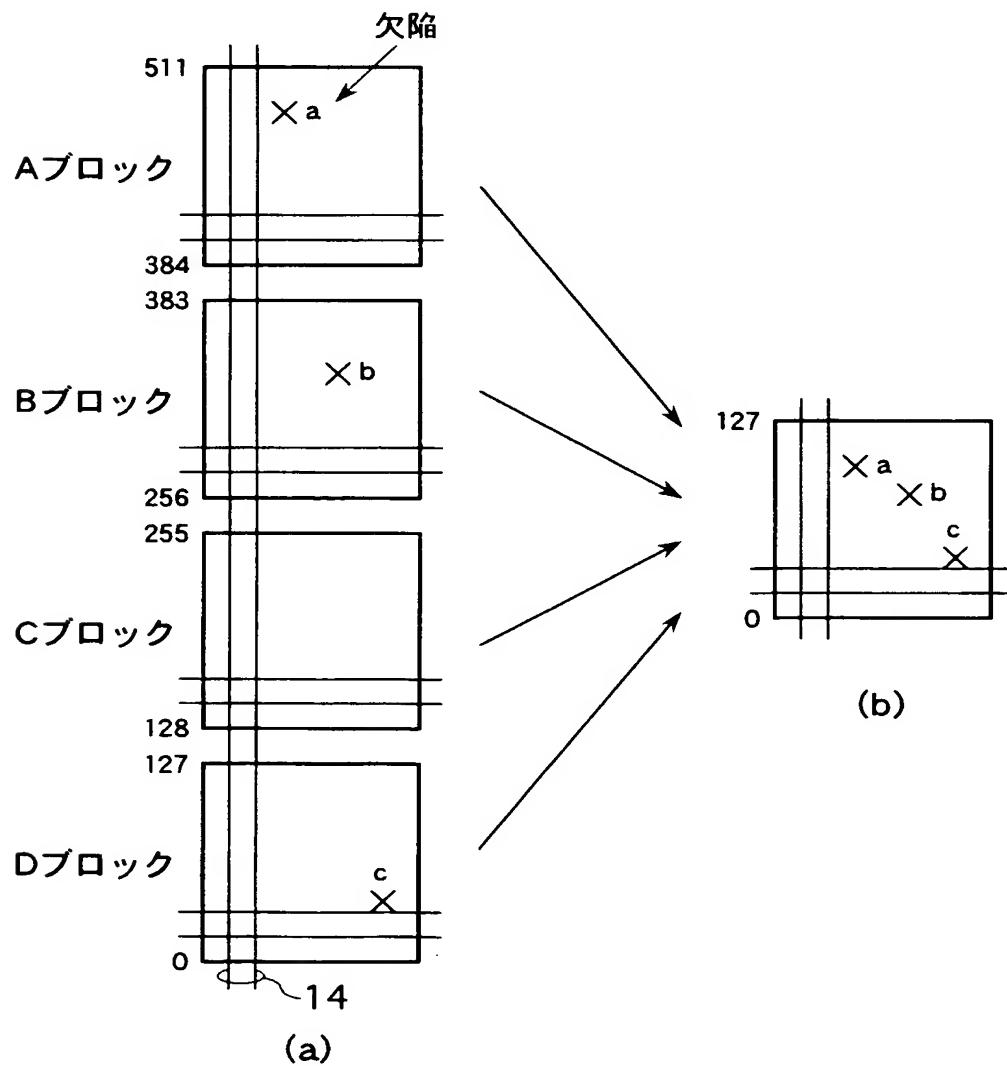
【図9】



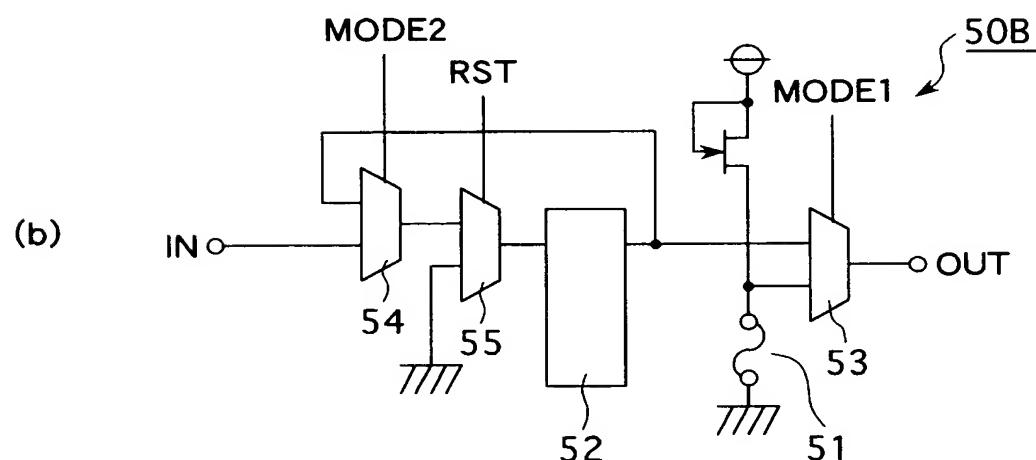
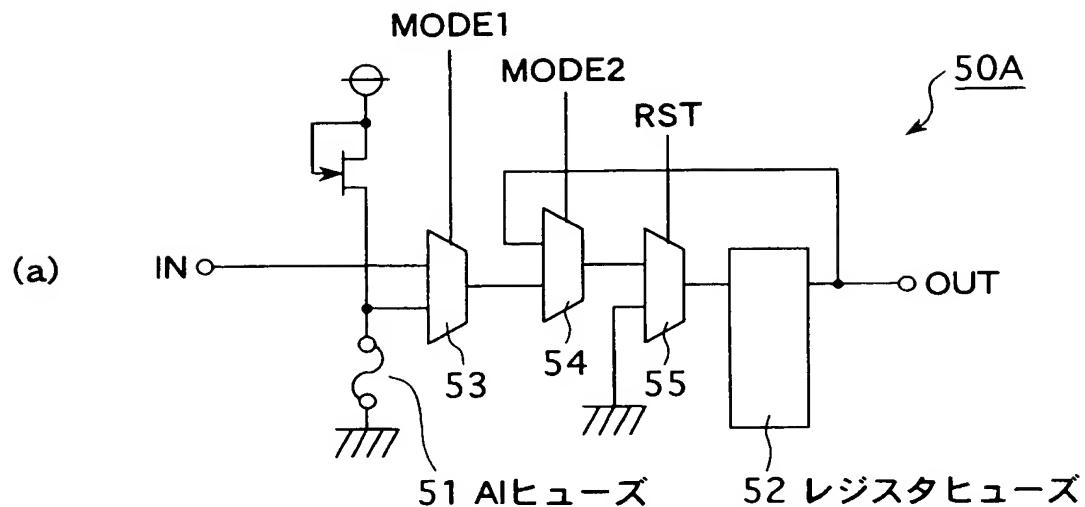
【図10】



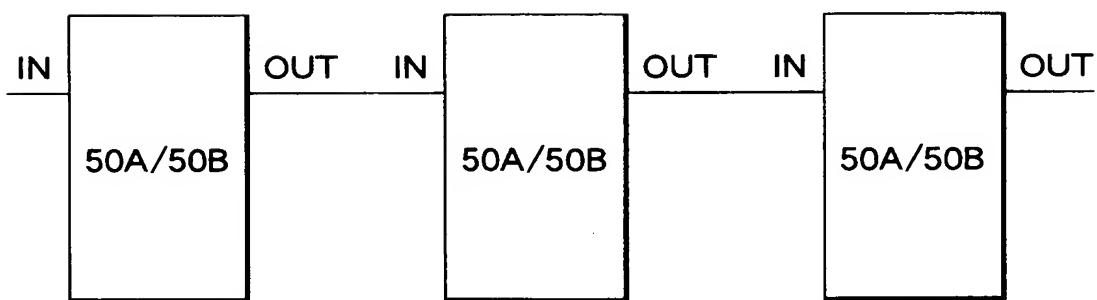
【図11】



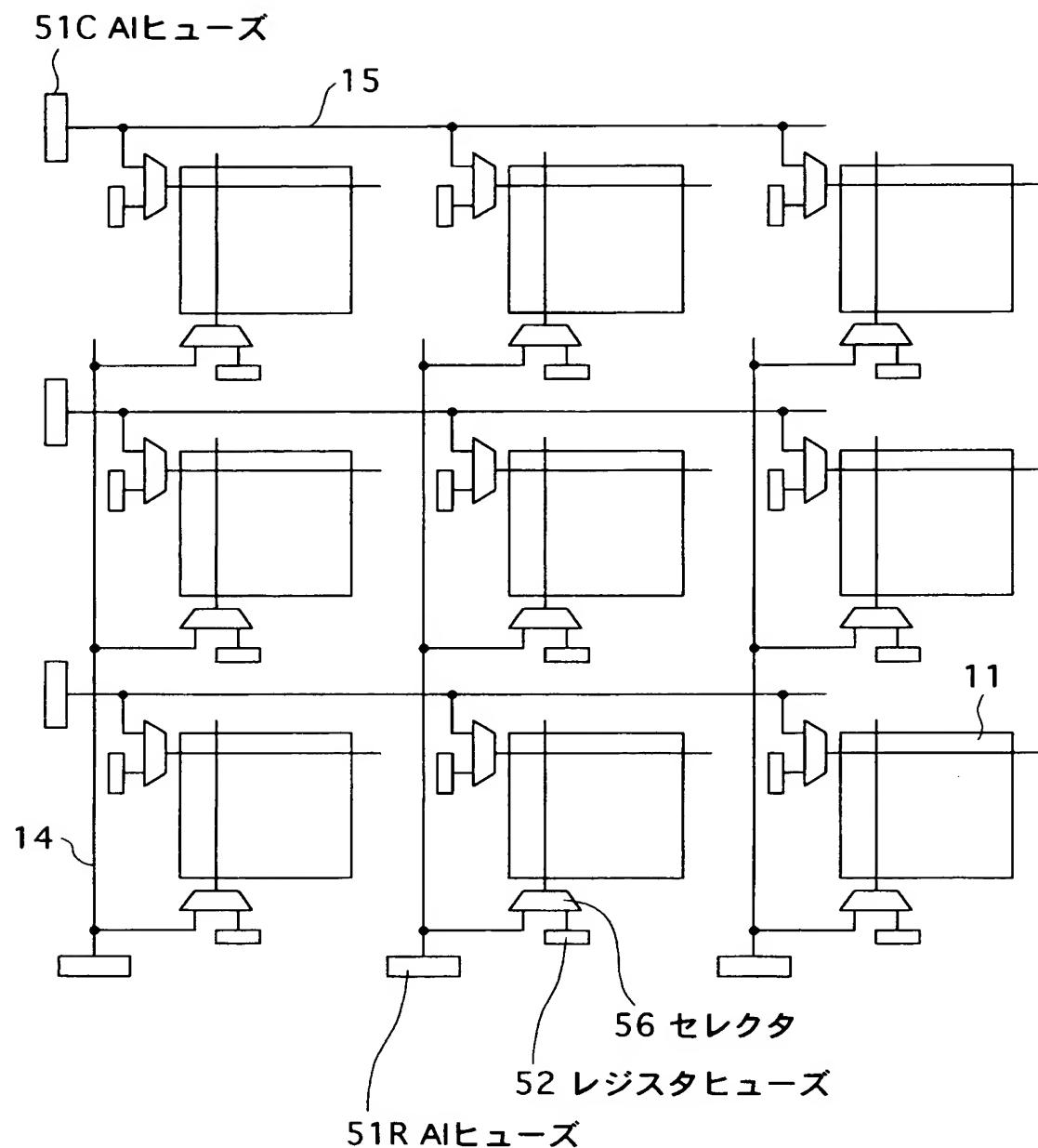
【図12】



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 リペア可能なすべての組み合わせについてアドレスを格納すると、回路規模がそれだけ大きくなる。

【解決手段】 メモリセル個々の良否を評価するB I S T回路20と、当該B I S T回路20から渡される異常セルのアドレス情報を格納するバッファ31とをD R A M 1 0と同じチップ上に搭載し、B I S T回路20から渡される異常セルのアドレス情報のうち、置換する冗長セルを決定するために必要最低限のアドレス情報をリペアサーチ回路30によって確定してこの確定したアドレス情報のみをバッファ31に格納するようとする。

【選択図】 図1

特願 2003-033187

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社